

# Intégration d'un composant mémoire multi-ports dans un outil de synthèse d'architecture

Contacts :

Olivier Muller (olivier.muller@imag.fr),  
Adrien Prost-Boucle (adrien.prost-boucle@imag.fr)  
et Frédéric Rousseau (Frederic.Rousseau@imag.fr)

## Présentation du laboratoire et de l'équipe :

A grenoble, au sein du laboratoire TIMA, « Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés », les thématiques de recherche portent sur la spécification, la conception, la vérification, le test, les outils et les méthodes d'aide à la conception pour les systèmes intégrés sur silicium, avec un champ de recherche s'étendant des composants de base analogiques et numériques jusqu'aux systèmes multiprocesseurs sur puce et à leur système d'exploitation de base.

Le stage se déroulera dans l'équipe SLS (System Level Synthesis) dont les thèmes de recherche sont : les architectures et logiciels de CAO pour systèmes multiprocesseurs sur la puce, pour systèmes reconfigurables et pour réseaux intégrés sur puce, la modélisation et les techniques de simulation pour les interfaces logiciels/matériels, la spécification et mise en œuvre de logiciels embarqués.

## Sujet :

Après 30 ans de recherche sur le sujet, les outils de synthèses d'architecture sont finalement devenus des outils de CAO incontournables pour les concepteurs de circuits. Ces outils permettent de transformer un programme d'une description algorithmique (e.g. en C) en une description RTL (e.g. en VHDL). Au sein de l'équipe SLS, nous travaillons sur l'outil de synthèse d'architecture UGH (User Guided High-Level synthesis). Ce dernier, comme son nom l'indique offre à l'utilisateur un réel contrôle sur la conception, là où la plupart des autres outils ne proposent que des manettes aux effets incertains. Grâce à cette maîtrise, de nouvelles stratégies de synthèse sont possibles à condition d'enrichir l'outil UGH de nouveaux composants de base.

L'objet de ce stage est d'intégrer dans la bibliothèque de composants de UGH une mémoire multi-ports. L'outil se limite actuellement à l'utilisation de mémoires double-ports, ce qui limite les possibilités de parallélisation automatique. En pratique, il s'agira de développer un modèle de ce composant mémoire à plusieurs niveaux d'abstraction (comportemental et des élaborations sur des ressources de la cible (pour un FPGA : BRAM, LUTRAM, registres)) et de l'intégrer dans l'outil UGH. L'intégration de ce composant modifiera l'ordonnancement des opérations de l'algorithme pris en entrée de l'outil. De ce fait, la deuxième partie du sujet consistera à modifier l'ordonnancement de l'outil. Si le temps le permet la génération de code VHDL pourra être intégrée.

## Connaissances attendues :

Programmation en C, notion de génie logiciel, notion de compilation, programmation en VHDL souhaitée

## Détails pratiques :

- Début au printemps 2012
- Durée 5 à 6 mois
- Rémunération brute mensuelle : environ 800 euros
- Possibilité de thèse sur un sujet connexe