

# Gestionnaire de composants matériels sur architecture dynamiquement reconfigurable

Encadrants :

Olivier Muller (olivier.muller@imag.fr),  
Yan Xu (yan.xu@imag.fr)

## Présentation du laboratoire et de l'équipe :

A Grenoble, au sein du laboratoire TIMA, « Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés », les thématiques de recherche portent sur la spécification, la conception, la vérification, le test, les outils et les méthodes d'aide à la conception pour les systèmes intégrés sur silicium, avec un champ de recherche s'étendant des composants de base analogiques et numériques jusqu'aux systèmes multiprocesseurs sur puce et à leur système d'exploitation de base.

Le stage se déroulera dans l'équipe SLS (System Level Synthesis) dont les thèmes de recherche sont : les architectures et logiciels de CAO pour systèmes multiprocesseurs sur la puce, pour systèmes reconfigurables et pour réseaux intégrés sur puce, la modélisation et les techniques de simulation pour les interfaces logiciels/matériels, la spécification et mise en œuvre de logiciels embarqués.

## Sujet :

Les architectures dynamiquement reconfigurables permettent idéalement d'obtenir un très bon compromis entre performance et flexibilité. Néanmoins l'absence d'un modèle de programmation normalisé et la multiplicité des cibles matérielles retardent l'émergence de ce genre de plateforme. Au sein de l'équipe SLS, nous avons conçu un gestionnaire de composants matériels (HCM : Hardware Component Manager) permettant d'abstraire le fonctionnement du matériel reconfigurable. Ainsi, ce gestionnaire permet de présenter une interface générique au système exploitation et donc faciliter le support rapide de nouvelles cibles. Actuellement, le gestionnaire a été validé sur la plateforme de prototypage virtuel SocLib (modèle de type SystemC). L'objet de ce stage est de développer une version HDL du gestionnaire de configuration et d'intégrer le module développé sur une plateforme FPGA de type Xilinx pour en valider le fonctionnement. Durant la partie intégration, le candidat sera amené à utiliser des méthodologies de conception émergentes pour la synthèse de composants matériels relogeables, ce qui lui permettra d'obtenir des connaissances pointus sur la structure et la configuration des FPGA.

## Connaissances attendues :

Programmation en VHDL, FPGA et flot de synthèse classique

## Détails pratiques :

- Début au printemps 2012
- Durée 5 à 6 mois
- Rémunération brute mensuelle : environ 800 euros
- Possibilité de thèse sur un sujet connexe